



ABSTRACT OF Korean Patent Publication No. 10-2001-100921

A capacitor structure that comprises a top platinum electrode and a bottom electrode having insulator on the sidewalls of the electrodes, and wherein the bottom electrode is from depositing a first electrode portion being recessed with respect to the insulator on the

5 sidewalls thereof and depositing a second insulator portion is provided.

해서 후속되는 화학 기계 플러싱(OP)함을 나타낸다.

도 12는 실리콘 질화물(22)와 보호층(25)을 선택적으로 형성해서 제거함으로써 선택된 본 발명에 따른 구조물을 나타낸다. 층(25,32)은 반응성 미온 에칭이나 습식 화학 에칭으로 에칭할 수 있다.

보호층(25)의 상부에 있는 SiH₄ 층(32)의 막바를 선택적으로 에칭함으로써 질화물(26)에 대해 제 1 전극층(24)이 리세스된다. 즉 제 1 전극층(24)의 상부 표면이 질화물(25)의 상부면에 대해 리세스된다.

도 13에서 제 2 전극층(26)은 제 1, 2 전극층(24, 26)을 포함하는 하부 전극층 완성하기 위해서 증착되고 패턴된다. 부호(29)는 층(26)에 있는 그러한 비문더리를 나타낸다.

질화물(26)은 산소 플라즈마 전극의 속력으로 통과하는 것을 방지한다. 게다가, 유전체층(30)은 전극층(28)의 원인과 속력을 돕기 위해서 부분적으로 증착된다. 유전체층(30)은 대개 SiO₂(SiO₂SiO₂), SiO₂SiO₂, Pt₂(Pt₂SiO₂), BaTiO₃, PbTiO₃, Bi₂TeO₃ 같은 높은 유전 상수율을 갖는 물질이다. 여기서 가장 바람직하다. SiO₂는 금속 유기 화학 증착(MOCVD)에 의해서 증착된다. SiO₂ 막은 선구 물질(precursor)의 액체 전도체를 이용하는 MOCVD에 의해 증착된다. Ba(tbd)₂(4-glyme), Sr(tbd)₂(4-glyme), Ti(tbd)₂(tbd)₂가 대개 유기 소스로 이용된다. 또한 유전체층은 강유전 물질이 될 수 있다.

대개 증착은 400 내지 700°C 온도 범위의 산소 분위기에서 일어난다. 고유전층 유전체는 하부 전극층 부분적으로 포함된다.

전도성 증착층(23)은 전극과 플러그 간의 상호 확산과 반응을 방지하는 것을 돕도록 전극과 플러그 물질들 분리시키기 위해서, 화학 동안에 플러그를 산소 노출로부터 보호하기 위해서, 플러그에 접촉을 제공하기 위해서 사용된다.

유전체층(30)은 전형적으로 약 5 나노미터 내지 약 100 나노미터보다 더 얇은 유전체층으로 약 10 나노미터 내지 약 50 나노미터이다.

도 14는 상부 전극(31)의 부분적으로 통렬성을 도시한다. 상부 전극층(31)은 전형적으로 약 30 나노미터 내지 약 200 나노미터보다 더 얇은 유전체층으로 약 50 나노미터 내지 약 100 나노미터이다.

도 15는 플러그 컨택트와 다른 위치에 위치하는 수직 캐피시터를 사용하는 본 발명의 또 다른 실시예를 나타낸다. 특히, 도 15는 반도체 기판(20) 위에 실리콘 이산화물같은 절연 물질(21)로 패턴된 다층형 실리콘이나 SiO₂와 같은 전도성 컨택트 플러그(22)를 나타낸다. 전극 금속성 컨택트(33)는 컨택트 플러그(22)와 접촉하고 있으며 절연체(26)에 의해서 보호된다. 증착층(33)은 전극성 컨택트(33)와 플러그(22)에 위치한다. 캐피시터의 하부 전극은 전극층(24)과, 이 선(33)과 접촉하고 있는 층(24)과, 절연체 전극층(28)을 포함하고 있다. 하부 전극층의 측면은 절연체(26)에 의해서 보호된다. 유전체층(30)은 층(26)의 측면과 원면을 덮고 상부 전극(31)을 분리시킨다. (24,33,28,31)에 대한 전극 물질은 대개 본 명세서 위에서 개시된 전극 물질 중 어떤 것이 될 수 있다.

플래티늄과 같은 전극성의 재료가 산화 저항, 때로는 극히 낮은 임피던스의 저항보다 높은 저항도, 플러그 전극성은 고온을 수반 캐피시터와 같은 사용도가 요구되는 소자에서 사용된다. 게다가, 이온 확산은 수직 캐피시터가 플러그 컨택트와 다른 위치에 위치할 수 있는 미세 미세 미니멀(heriber, ionic heriber)에도 사용될 수 있다. 산소 확산 플러그 용도가 때문에 산소가 증착층에 도포될 확률은 더 적어진다.

도 16은 본 발명에 따른 바람직한 구조물의 개조도이다. 특히, 실리콘 이산화물과 같은 절연체(21)은 반도체 기판(20) 위에 위치한다. 다층형 실리콘과 같은 전도성 플러그(22)가 존재한다. 증착층은 165nm 두께로 된 증착층(23)과, 165nm 두께로 된 절연체(26)를 포함하는 금속 증착층이다. 캐피시터의 하부 전극은, 이 층을 포함하는 하부층 전극(24)과 플러그를 상부층 전극(26)을 포함한다. 캐피시터의 상부 전극(31)도 플러그를 포함한다. 유전체층(30)은 층(26)의 상부면과 측면을 덮고 상부 플러그를 전극을 분리시킨다. 층(30)은 SiO₂ 또는 SiO₂에 의해 분리된다.

본 개시는 오직 바람직한 실시예만을 기술하고 도시하였지만, 앞에서 언급한 것처럼 본 발명은 관련 기술의 지식과 교사와 숙련한 본 명세서에서 표현된 창의적인 개념의 범위 내에서 다양한 다른 조합, 변경, 관용 등이 가능하다. 본 명세서에서 기술된 실시예는 본 발명을 설명하도록 알려진 최선의 방식을 설명하고 본 기술의 당업자가 본 발명의 특별한 응용이나 사용에서 요구되는 다양한 변경과 상기 실시예나 다른 실시예로 본 발명을 응용하도록 위한다. 따라서 본 명세는 본 명세를 여기서 개시된 형태로만 제한시키지 않는다. 또한 첨부된 청구 범위는 다른 실시예를 포함하도록 해석되어야 한다.

발명의 요점

본 발명은 실리콘 질화물에 의한 선택 산소 확산 방지층을 제공하고, 전극의 그러한 비문더리를 차단하는 리세스에 의한 산소의 그러한 비문더리로 확산 방지층을 제공한다.

(57) 청구의 범위

청구항 1

상부 전극과 하부 전극을 포함하는 캐피시터 구조물로서, 상기 하부 전극은 그의 측면 상의 전기 절연체 에 대해 리세스된 제 1 전극 부분의 측면에 의해 그리고 제 2 전극 부분의 측면에 의해 이루어지고, 유전체는 상기 하부 전극의 제 2 전극 부분의 상부면과 측면에 존재하고, 상기 상부 전극은 상기 유전체 위에 위치하는 캐피시터 구조물.

청구항 2

제 1 항에 있어서,

상기 하부 전극의 상기 제 1 전극 부분의 측면 상의 전기 절연체는 실리콘 이산화물을 포함하는 캐피시터 구조물.

청구항 3

제 1 항에 있어서,

상기 하부 전극에서 상기 제 2 전극 부분의 측면 상의 전기 유전체는 BaSiO₃를 포함하는 캐피시터 구조물.

청구항 4

제 1 항에 있어서,

상기 하부 전극의 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께인 캐피시터 구조물.

청구항 5

제 4 항에 있어서,

상기 하부 전극의 제 2 전극 부분은 약 100 나노미터 내지 약 800 나노미터 두께인 캐피시터 구조물.

청구항 6

제 1 항에 있어서,

상기 하부의 제 2 전극 부분의 외면과 측면에 있는 상기 유전체는 약 5 나노미터 내지 약 100 나노미터 두께인 캐피시터 구조물.

청구항 7

제 1 항에 있어서,

상기 하부의 제 1 전극 부분의 측면에 있는 상기 절연체는 상기 측면에 접착한 실리콘 질화물과 상기 실리콘 질화물 위에 있는 실리콘 이산화물을 포함하는 캐피시터 구조물.

청구항 8

제 7 항에 있어서,

상기 실리콘 질화물은 약 20 나노미터 내지 약 80 나노미터의 두께인 캐피시터 구조물.

청구항 9

제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt, Ir, Ru, Pd, IrO₂, RuO₂에서 적어도 하나를 개별적으로 선택된 것인 캐피시터 구조물.

청구항 10

제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt를 포함하는 캐피시터 구조물.

청구항 11

제 1 항에 있어서,

상기 하부 전극은 Ir 층과 IrO₂ 층과 Pt 층을 포함하는 캐패시터 구조물.

참구항 12
전도성 플러그 위에 위치하는 제 1 층의 캐패시터 구조물과 상기 전도성 플러그와 상기 캐패시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물.

참구항 13
제 12 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 14
제 12 항에 있어서,
상기 장벽층은 TaSiN을 포함하는 반도체 구조물.

참구항 15
전도성 플러그 위에 위치하는 제 7 층의 캐패시터 구조물과 상기 전도성 플러그와 상기 캐패시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물

참구항 16
제 15 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 17
제 14 항에 있어서,
상기 장벽층은 TaSiN을 포함하는 반도체 구조물.

참구항 18
제 12 항에 있어서,
상기 장벽층이 하부 실리콘이드 전층층과 상부 절연층을 포함하는 반도체 구조물.

참구항 19
제 18 항에 있어서,
상기 실리콘이드는 1 μ m 실리콘이드를 포함하고, 상기 절연층은 TaSiN을 포함하는 반도체 구조물.

참구항 20
전극 전층층 위에 위치하는 제 1 층의 캐패시터 구조물과 상기 전극 전층층과 접속하는 전도성 플러그와 상기 전도성 플러그와 상기 전층층 간에 위치하는 장벽층을 포함하는 반도체 구조물.

참구항 21
제 20 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 22

전극 전층층 위에 위치하는 제 7 층의 캐패시터 구조물과 상기 전극 전층층과 접속하는 전도성 플러그를 포함하는 반도체 구조물.

참구항 23
제 22 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 24
캐패시터 구조물을 위한 전극을 제조하는 방법으로,
포면에 제 1 전극층을 증착하는 단계와,
상기 제 1 전극층의 상부면에 보호층을 증착하여 스택 구조물을 형성하도록 하는 단계와,
상기 스택 구조물을 패터닝하는 단계와,
전기 절연층을 증착하고 플리싱하여 상기 스택 구조물의 측면에 절연층을 채우는 단계와,
배향에 의해 상기 보호층을 제거하는 단계와,
상기 절연층에 대해 상기 제 1 전극층을 리세스(recess)하는 단계와,
상기 제 1 전극층의 상부면에 제 2 전극층을 증착 및 패터닝하는 단계와,
상기 제 2 전극층의 상부면과 측면에 유전층층을 증착하는 단계를 포함하는 캐패시터 구조물의 전극 제조 방법.

참구항 25
제 24 항에 있어서,
상기 제 1 전극 부분의 측면 상의 상기 절연층은 실리콘 이산화물을 포함하는 캐패시터 구조물의 전극 제조 방법.

참구항 26
제 24 항에 있어서,
상기 제 2 전극 부분의 측면 상의 상기 절연층은 TaSiN을 포함하는 캐패시터 구조물의 전극 제조 방법.

참구항 27
제 27 항에 있어서,
상기 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께인 캐패시터 구조물의 전극 제조 방법.

참구항 28
제 24 항에 있어서,
상기 제 2 전극 부분은 약 100 나노미터 내지 약 600 나노미터의 두께인 캐패시터 구조물의 전극 제조 방법.

참구항 29
제 24 항에 있어서,
상기 제 1 전극 부분의 측면 상의 절연층은 상기 측면과 접속하는 실리콘 절연층과 상기 실리콘 절연층 상의 실리콘 이산화물층을 포함하는 캐패시터 구조물의 전극 제조 방법.

참구항 30
제 29 항에 있어서,
상기 제 1 전극 부분의 측면 상의 절연층은 상기 측면과 접속하는 실리콘 절연층과 상기 실리콘 절연층 상의 실리콘 이산화물층을 포함하는 캐패시터 구조물의 전극 제조 방법.

참구항 31
제 29 항에 있어서,
상기 제 2 전극 부분은 약 100 나노미터 내지 약 200 나노미터의 두께인 캐패시터 구조물의 전극 제조 방법.

상기 실리콘 절화층은 약 20 나노미터 내지 약 60 나노미터 두께인 케펄시타 구조물의 전극 제조 방법.

참구항 31
제 24 항에 있어서,

상기 제 2 전극층의 상면의 상의 유전체 층의 상부에 추가의 전극층을 증착하는 단계를 더 포함하는 케펄시타 구조물의 전극 제조 방법.

참구항 32
제 24 항에 있어서,

상기 표면은 장벽층인 케펄시타 구조물의 전극 제조 방법.

참구항 33
제 32 항에 있어서,

상기 장벽층은 TaSiN을 포함하는 케펄시타 구조물의 전극 제조 방법.

참구항 34

제 24 항에 있어서,

상기 표면은 전극선인 케펄시타 구조물의 전극 제조 방법.

참구항 35

제 32 항에 있어서,

상기 장벽층은 하부 실리콘사이드 절화층과 상부 절화층을 포함하는 케펄시타 구조물의 전극 제조 방법.

참구항 36

제 35 항에 있어서,

상기 실리콘사이드는 Ta 실리콘사이드를 포함하고 상기 절화층은 TaSiN을 포함하는 케펄시타 구조물의 전극 제조 방법.

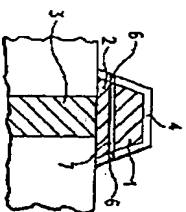
참구항 37

제 24 항의 제조 공정에 의해 획득된 전극.

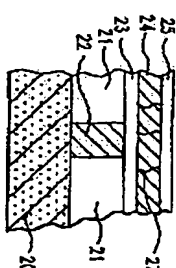
도면

도면 1

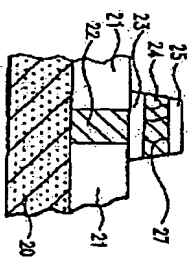
(종래기술)



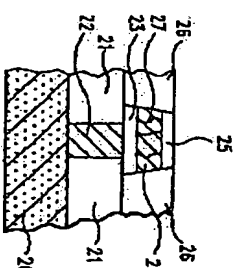
도면 2



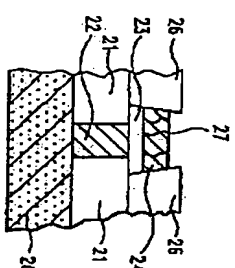
도면 3



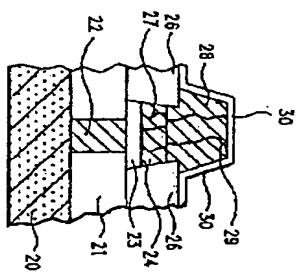
도면 4



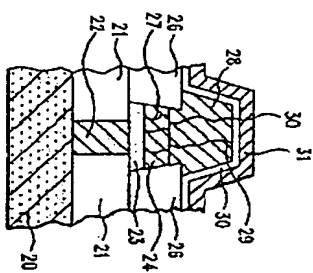
도면 5



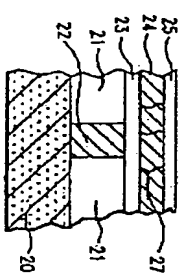
9575



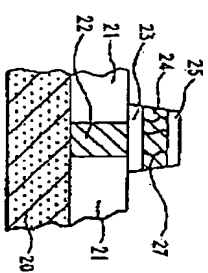
1975



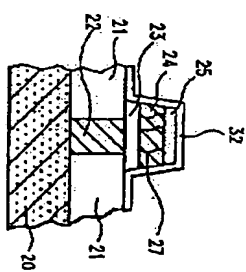
8475



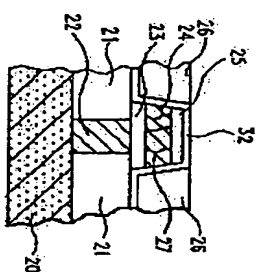
8475



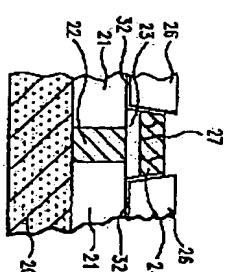
5040



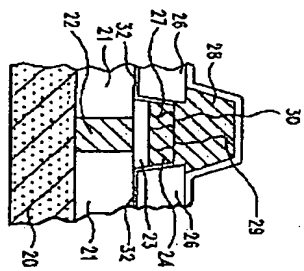
5.0011



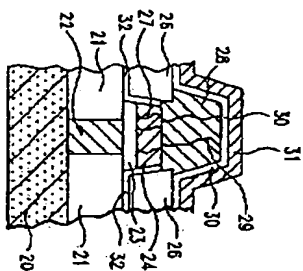
5745



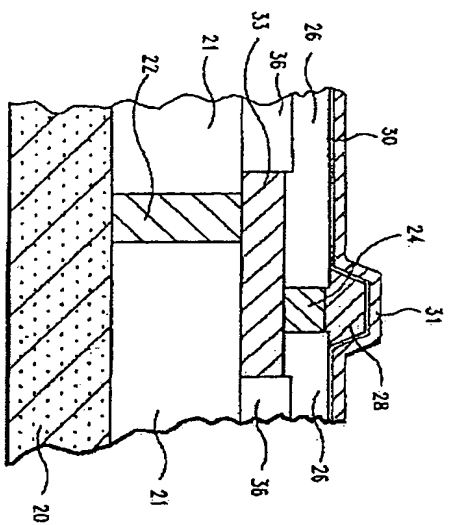
도면 13



도면 14

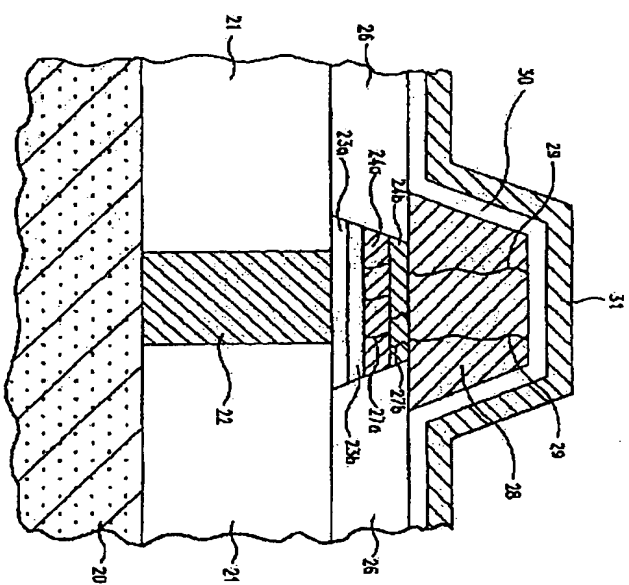


도면 15



14-13

도면 16



14-14